



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11242647 A**

(43) Date of publication of application: **07.09.99**

(51) Int. Cl.

G06F 13/18

(21) Application number: 10043221

(22) Date of filing: 25.02.98

(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**

(72) Inventor: **KAKIAGE TORU**

(54) INFORMATION PROCESSOR

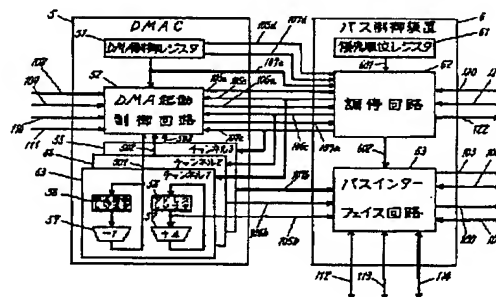
of a precedence signal 601.

(57) Abstract:

COPYRIGHT: (C)1999,JPO

PROBLEM TO BE SOLVED: To quickly transfer data even in the case of parallel occurrence of DMA(direct memory access) requests of plural channels by providing a DMA control means which has plural channels and generates DMA requests of channels independently of one another.

SOLUTION: A DMA control means 5 which has at least two channels and generates DMA requests of channels independently of each other, bus interface means which are independent of one another for resources where DMA is executed out of resources taken as objects of DMA, and an arbitration circuit 62 which performs arbitration independently for each bus in the case of simultaneous occurrence of DMA requests and requests from a bus master other than DMA are provided. If a channel 1 start request 108, a channel 2 start request 109, and a channel 3 start request 110 are asserted from a disk I/F, an error counting circuit, and a host I/F respectively, a bus controller 6 performs arbitration in the arbitration circuit 62 in accordance with the value



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-242647

(43) 公開日 平成11年(1999) 9月7日

(51) Int.Cl.⁶

G 0 6 F 13/18

識別記号

5 1 0

F I

G 0 6 F 13/18

5 1 0 B

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21) 出願番号 特願平10-43221

(22) 出願日 平成10年(1998) 2月25日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 書上 透

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

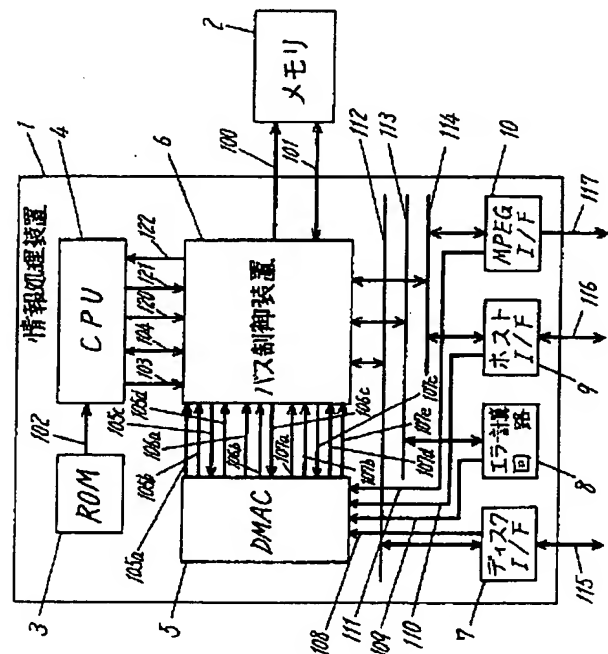
(74) 代理人 弁理士 滝本 智之 (外 1 名)

(54) 【発明の名称】 情報処理装置

(57) 【要約】

【課題】 複数のチャネルのDMA要求が並列して発生した場合にも高速にデータ転送を行うことができるとともに、外部メモリの性能を十分に引き出すことができる情報処理装置を提供することを目的とする。

【解決手段】 少なくとも2つ以上のチャネルを有し、該チャネルごとに独立してDMA (ダイレクト・メモリ・アクセス) 要求を生成するDMA制御手段5と、前記DMAの対象となる資源の中で並列にDMAが実行される資源に対しては各々独立したバス112、113および114と、前記DMA要求およびDMA以外のバスマスタからの要求が同時に発生した場合に各バスごとに独立して調停を行う調停手段とを有するバス制御手段を備え、複数チャネルのDMAを並列に実行する。



【特許請求の範囲】

【請求項 1】 少なくとも 2 つ以上のチャンネルを有し、該チャンネルごとに独立して DMA（ダイレクト・メモリ・アクセス）要求を生成する DMA 制御手段と、前記 DMA の対象となる資源の中で並列に DMA が実行される資源に対しては各々独立したバスインターフェイス手段と、前記 DMA 要求および DMA 以外のバスマスタからの要求が同時に発生した場合に各バスごとに独立して調停を行う調停手段とを有するバス制御手段を備え、複数チャンネルの DMA を並列に実行することを特徴とする情報処理装置。

【請求項 2】 前記バス制御手段は複数のバスアクセス要求が同時に発生した場合に、その優先順位を設定する優先順位レジスタを備え、前記優先順位レジスタに設定された値に従って調停を行うことを特徴とする請求項 1 記載の情報処理装置。

【請求項 3】 前記バスインターフェイス手段は、前記 DMA の対象となる資源のアクセスにおいて、DMA 発生 の頻度が少ない資源に対してはアクセス時間を延ばすことを特徴とする情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、内部に複数チャンネルの DMA 制御装置とバス制御装置を有する情報処理装置に関する。特に、複数チャンネルの DMA を並列動作させることにより高性能を実現する情報処理装置に関する。

【0002】

【従来の技術】近年の電子技術の発展により、CD（コンパクト・ディスク）、DVD（デジタル・ビデオ・ディスク）等の光ディスク装置が普及し、あらゆる分野で用いられている。これらの光ディスク装置においては、ディスクから読み出したデータにはエラーが多数含まれており、それを実用可能なレベルに訂正するエラー訂正処理が必須になっている。しかし、光ディスクの回転速度が増加するにしたがって、このエラー訂正をいかに高速に行うかが課題となっている。その中で最大の問題は、エラー訂正を行う情報処理装置中でいかに高速にデータ転送を行うかという点である。

【0003】図 5 は従来のエラー訂正処理を実行する情報処理装置のブロック図を示している。図 5 において、200 は情報処理装置、2 は外部メモリ、100 および 101 は情報処理装置 200 と外部メモリ 2 とを接続する外部アドレスバスおよび外部データバスである。情報処理装置 200 は、ROM 3 と、中央処理装置（以下 CPU と記す）4 と、3 チャンネルのダイレクト・メモリ・アクセス・コントローラ（以下 DMAC と記す）50 と、バス制御装置（以下 BCU と記す）60 と、ディスク I/F 7 と、エラー計算回路 8 と、ホスト I/F 9 と、MPEG I/F 10 とから構成される。

【0004】102 は ROM 3 から CPU 4 へプログラムを送る命令バス、103 および 104 は CPU 4 と BCU 60 とを

接続する CPU アドレスバスおよび CPU データバス、120 は CPU 4 から BCU 60 に対するリード信号、121 はライト信号、122 は BCU 60 から CPU 4 に対する応答信号、550 は DMAC 50 から BCU 60 に対する DMA 開始信号、551 は DMA 転送における転送元アドレス、552 は DMA 転送における転送先アドレス、553 は BCU 60 から DMAC 50 に対する DMA 応答信号、108 はディスク I/F 7 から DMAC 50 に対するチャンネル 1 DMA 起動要求、109 はエラー計算回路 8 から DMAC 50 に対するチャンネル 2 DMA 起動要求、110 はホスト I/F 9 から DMAC 50 に対するチャンネル 3 ホスト DMA 起動要求、111 は MPEG I/F 10 から DMAC 50 に対するチャンネル 3 MPEG DMA 起動要求、554 は BCU 60 とディスク I/F 7、エラー計算回路 8、ホスト I/F 9 および MPEG I/F 10 とを接続する I/O バス、115 は光ディスク装置などのデータ記録デバイスと情報処理装置 20 とを接続するディスクデータ線、116 はパソコンなどのホストコンピュータと情報処理装置 20 とを接続するホストデータ線、117 は MPEG デコーダなどの MPEG データ処理回路と情報処理装置 20 とを接続する MPEG データ線である。

【0005】以上のように構成された従来の情報処理装置におけるディスクからのリード動作を説明する。リード動作は、ディスクデータ線 115 を介して外部から入力されたデータに対してエラー訂正処理を実行し、ホスト I/F 9 を介してホストコンピュータにデータを出力する動作である。リード動作の場合には、

(1) DMA チャンネル 1：ディスク I/F 7 から外部メモリ 2 へのデータ転送

(2) DMA チャンネル 2：外部メモリ 2 からエラー計算回路 8 へのデータ転送

(3) DMA チャンネル 3：外部メモリ 2 からホスト I/F 9 へのデータ転送

が並列に動作する。まずリード動作の場合の各チャンネルの動作を簡単に説明する。

【0006】チャンネル 1 ではディスクデータ線 115 を介して外部から入力されたエラー訂正処理前のデータを、ディスク I/F 7 から外部メモリ 2 に転送する。ディスク I/F 7 に一定のデータが蓄積されると DMAC 50 に対してチャンネル 1 DMA 起動要求 108 がアサートされる。チャンネル 1 DMA 起動要求 108 がアサートされると、DMAC 50 から BCU 60 に対する DMA 開始信号 500 がアサートされる。同時にディスク I/F 7 のアドレスを示す DMA 転送元アドレス 501、外部メモリ 2 のアドレスを示す DMA 転送先アドレス 502 が BCU 60 に出力される。BCU 60 では、まずディスク I/F 7 からのリードサイクルが起動された後、リードしたデータを外部メモリ 2 へライトするライトサイクルが起動され、外部メモリ 2 へのライトが行われる。ディスク I/F 7 からのリードサイクルが起動されると、DMAC 50 に対して DMA 応答信号 503 がアサートされる。それを受けて、DMA 開

始信号500がネグートされ1回のDMA転送は終了する。

【0007】チャンネル2ではDMAチャンネル1でディスクI/F7から外部メモリ2に転送されたデータをエラー計算回路8に転送する。エラー計算回路8が計算可能状態になると、DMAC50に対してチャンネル2DMA起動要求109がアサートされる。チャンネル2DMA起動要求109がアサートされると、DMAC50からBCU60に対するDMA開始信号500がアサートされる。同時に外部メモリ2のアドレスを示すDMA転送元アドレス501、エラー計算回路8のアドレスを示すDMA転送先アドレス502がBCU60に出力される。BCU60では、まず外部メモリ2からのリードサイクルが起動された後、リードしたデータをエラー計算回路8へライトするライトサイクルが起動され、エラー計算回路8へのライトが行われる。外部メモリ2からのリードサイクルが起動されると、DMAC50に対してDMA応答信号503がアサートされる。それを受けてDMA開始信号500がネグートされ、1回のDMA転送は終了する。

【0008】チャンネル3ではエラー訂正が終了した外部メモリ上のデータをホストI/F9に転送する。ホストI/F9で外部ヘデータ転送が可能になるとDMAC50に対してチャンネル3DMA起動要求110がアサートされる。以下の動作はチャンネル2の場合と同様である。

【0009】以上、各チャンネルのDMA転送動作を説明したが、実際には各チャンネルの起動要求は並列に行われるので、その場合の動作を図6に示す動作タイミング図を用いて説明する。同図は、各チャンネルの起動要求108~111、DMAC50とBCU60とのインターフェイス信号500~503、IOバス504、外部データバス101の状態をマシンサイクルと呼ばれるタイミング毎に示している。信号は全てロー状態の時に信号がアサートされたことを示すアクティブロー信号である。また、IOバスを介した各IO（ディスクI/F、エラー計算回路、ホストI/F）に対するアクセスはリード/ライトとともに2マシンサイクル、外部メモリに対するアクセスはリード/ライトとともに1マシンサイクルであるとし、時間が経過する順にタイミング毎に説明する。また、DMAC50において複数チャンネルのDMA起動要求が同時に発生した場合には、チャンネル3、チャンネル2、チャンネル1の順番で実行するものとする。さらに、各チャンネルに対する起動要求108~111は1マシンサイクルだけアサートされる。

【0010】（タイミングt1）ディスクI/F7からチャンネル1起動要求108が、エラー計算回路8からチャンネル2起動要求109が、ホストI/F9からチャンネル3起動要求110がアサートされる。各起動要求を受けて、DMAC50で調停が行われチャンネル3DMAが最初に実行される。DMAC50からDMA開始信号500がアサートされるとともに外部メモリ2のアドレスを示すDMA転

送元アドレス501、ホストI/F9のアドレスを示すDMA転送先アドレス502が出力される。

【0011】BCU60では、DMA開始信号500のアサートを受けてチャンネル3に対する外部メモリ2からのリードの起動準備がされる。BCU60では図6において○で示すタイミングでバス調停が行われる。なお、受け付けられたDMA開始要求に該当するバスサイクルを矢印で指し示す。

【0012】（タイミングt2）外部メモリ2からのリードサイクル（外部データバス101のR（3）はチャンネル3のリード動作を示す）が開始される。チャンネル3のリードサイクルが開始されたので、DMA応答信号503がアサートされる。さらに、外部メモリのアクセスは1サイクルで終了する為にホストI/F9に対するライトの起動準備がされる。

【0013】（タイミングt3）タイミングt2でDMA応答信号503がアサートされたので、引き続きチャンネル2に対するDMA開始信号500がアサートされるとともに、外部メモリ2のアドレスを示すDMA転送元アドレス501、エラー計算回路8のアドレスを示すDMA転送先アドレス502が出力される。また、BCU60ではチャンネル3の外部メモリからのリードが完了しているので、ホストI/F9に対するライトが開始される（IOバス504のW（3）はチャンネル3のライト動作を示す）。さらに、チャンネル2に対する外部メモリ2からのリードサイクルの起動準備がされる。

【0014】（タイミングt4）ホストI/F9に対するライト動作を実行中である。また、ライト動作がタイミングt3で開始されたので、ホストI/F9からは次の起動要求110がアサートされる。また、BCU60では外部メモリ2に対するチャンネル2のリードサイクルが実行され、DMA応答信号503がアサートされる。さらに、エラー計算回路8に対するライトの起動準備がされる。

【0015】（タイミングt5）タイミングt4でDMA応答信号503がアサートされたので、引き続きチャンネル1に対するDMA開始信号500がアサートされるとともに、ディスクI/F7のアドレスを示すDMA転送元アドレス501、外部メモリ2のアドレスを示すDMA転送先アドレス502が出力される。また、チャンネル2の外部メモリからのリードが完了しているので、エラー計算回路8に対するライトが開始される（IOバス504のW（2）はチャンネル2のライト動作を示す）。

【0016】（タイミングt6）エラー計算回路8に対するライト動作を実行中である。また、ライト動作がタイミングt5で開始されたので、エラー計算回路8からは次の起動要求109がアサートされる。BCU60では、ディスクI/F7からのリードの起動準備がされる。

【0017】（タイミングt7）ディスクI/F7から

のリードサイクルが開始され、DMA応答信号503がアサートされる。

【0018】(タイミングt8) タイミングt7でDMA応答信号503がアサートされたので、引き続きチャンネル3に対するDMA開始信号500がアサートされるとともに、外部メモリ2のアドレスを示すDMA転送元アドレス501、ホストI/F9のアドレスを示すDMA転送先アドレス502が出力される。また、ディスクI/F7に対するリード動作を実行中であり、ディスクI/F7からは次の起動要求108がアサートされる。BCU60では、チャンネル1に対する外部メモリ2へのライトの起動準備がされる。

【0019】(タイミングt9) チャンネル1に対する外部メモリ2へのライトが開始され、チャンネル3に対する外部メモリ2からのリードの起動準備がされる。

【0020】(タイミングt10～t17) タイミングt2～t9の繰り返しになるので、記載を省略する。

【0021】

【発明が解決しようとする課題】以上のように複数のチャンネルのDMA要求が並列して発生した場合(図6のタイミングt1)に、従来の情報処理装置では、DMACからBCUに対するDMA開始要求が1系統しかない為に、各チャンネルのDMA転送を順番に実行せざるを得ない。この為、高倍速で回転する光ディスク装置のエラー訂正処理のような、高速にデータ転送を要求される応用においては大きな問題となる。さらにIOバスが1系統しかない場合には、IOバスに接続された回路に対するライト動作に引き続き、IOバスに接続された回路に対するリード動作が実行された場合(図6のタイミングt5～t8およびタイミングt13～t16)には、外部メモリに対するバスサイクルに空きが生じてしまい、外部メモリの性能を十分に引き出せないという問題がある。さらに、この問題は高速な外部メモリの使用、メモリバス幅の拡大、あるいはDRAM内蔵といった方法により、外部メモリバスバンド幅(データ転送能力)が内部IOバスバンド幅に比べて大きくなるに従って顕著になる。

【0022】本発明はかかる点に鑑み、複数のチャンネルのDMA要求が並列して発生した場合にも高速にデータ転送を行うことができるとともに、外部メモリの性能を十分に引き出すことが可能な情報処理装置を提供することを目的とする。

【0023】

【課題を解決するための手段】この課題を解決するため請求項1記載の本発明の情報処理装置は、少なくとも2つ以上のチャンネルを有し、該チャンネルごとに独立してDMA(ダイレクト・メモリ・アクセス)要求を生成するDMA制御手段と、前記DMAの対象となる資源の中で並列にDMAが実行される資源に対しては各々独立したバスインターフェイス手段と、前記DMA要求およびDMA以外のバスマスタからの要求が同時に発生した場合に各バスごとに独立

して調停を行う調停手段とを有するバス制御手段を備える構成としたものである。

【0024】これにより、複数チャンネルのDMAを並列に実行する。また請求項2記載の本発明の情報処理装置は、請求項1記載の本発明の情報処理装置に対して、バス制御手段は複数のバスアクセス要求が同時に発生した場合に、その優先順位を設定する優先順位レジスタを備え、前記優先順位レジスタに設定された値に従って調停を行う構成としたものである。

10 【0025】これにより、設定された優先順位に従って複数チャンネルのDMAを並列に実行する。

【0026】また請求項3記載の本発明の情報処理装置は、請求項1記載の本発明の情報処理装置に対して、バスインターフェイス手段は、前記DMAの対象となる資源のアクセスにおいて、DMA発生の頻度が少ない資源に対してはアクセス時間を延ばす構成としたものである。

【0027】これにより、低消費電力化を実現する。

【0028】

20 【発明の実施の形態】以下、本発明の実施の形態について、図1から図4を用いて説明する。

【0029】図1は本発明の実施の形態におけるエラー訂正処理を実行する情報処理装置のブロック図を示している。図1において、1は情報処理装置、2は外部メモリ、100および101は情報処理装置1と外部メモリ2とを接続する外部アドレスバスおよび外部データバスである。情報処理装置1は、ROM3と、中央処理装置(以下CPUと記す)4と、3チャンネルのダイレクト・メモリ・アクセス・コントローラ(以下DMACと記す)5と、バス制御装置(以下BCUと記す)6と、ディスクI/F7と、エラー計算回路8と、ホストI/F9と、MP

30 EG I/F10とから構成される。

【0030】102はROM3からCPU4へプログラムを送る命令バス、103および104はCPU4とBCU6とを接続するCPUアドレスバスおよびCPUデータバス、120はCPU4からBCU6に対するリード信号、121はライト信号、122はBCU6からCPU4に対する応答信号、105a、106aおよび107aはそれぞれDMAチャンネル1、2、3のDMA開始信号、105b、106bおよび107bはそれぞれDMAチャンネル1、2、3のDMA転送における外部メモリ2のアドレスを示すDMAアドレス、105c、106cおよび107cはそれぞれDMAチャンネル1、2、3のBCU6からDMAC5に対するDMA応答信号、105dおよび107dはDMA転送の方向を示すDMA方向信号、107eはDMA転送の対象となるデバイスを示すDMAデバイス信号、108はディスクI/F7からDMAC5に対するチャンネル1DMA起動要求、109はエラー計算回路8からDMAC5に対するチャンネル2DMA起動要求、110はホストI/F9からDMAC5に対するチャンネル3ホストDMA起動要求、111はMPEG I/F10からDMAC5

50 に対するチャンネル3MPEG DMA起動要求、112はBCU6

とディスク I/F 7 とを接続するディスク系 I/O バス、113 は BCU 6 とエラー計算回路 8 とを接続するエラー処理系 I/O バス、114 は BCU 6 とホスト I/F 9 および MPEG I/F 10 とを接続するホスト系 I/O バス、115 は光ディスク装置などのデータ記録デバイスと情報処理装置 1 とを接続するディスクデータ線、116 はパソコンなどのホストコンピュータと情報処理装置 1 とを接続するホストデータ線、117 は MPEG デコーダなどの MPEG データ処理回路と情報処理装置 1 とを接続する MPEG データ線である。

【0031】また、図 2 に DMAC 5 および BCU 6 のブロック図を示す。図 2 において、51 は DMA 転送を制御する DMA 制御レジスタであり、チャンネル 1 DMA 方向信号 105 d、チャンネル 3 DMA 方向信号 107 d およびチャンネル 3 DMA デバイス信号 107 e を出力する。52 は周辺ブロックからの DMA 起動要求信号 108 ~ 111、BCU 6 からの DMA 応答信号 105 c、106 c および 107 c を入力とし、BCU 6 に対して DMA 開始要求信号 105 a、106 a および 107 a を出力する DMA 起動制御回路、53、54、55 はそれぞれチャンネル 1、2、3 の DMA アドレス/転送回数制御回路であり、BCU 6 に対して DMA アドレス 105 b、106 b および 107 b を出力するとともに、転送回数のカウントを行い、残り転送回数 501、502 および 503 を出力する。チャンネル 1 DMA アドレス/転送回数制御回路 53 は、転送回数レジスタ 56、転送回数カウンタ 57、アドレスレジスタ 58、アドレス加算器 59 から構成される。また、他のチャンネルの DMA アドレス/転送回数制御回路も同様な構成になっている。61 は CPU 4、DMA チャンネル 1、2、3 の要求が同時に発生した場合に、その優先順位を設定する優先順位レジスタであり、優先順位信号 601 を出力する。62 は優先順位信号 601 に従ってバスアクセスの調停を行う調停回路、602 はバス調停回路 62 で調停された後出力されるバスサイクル起動信号、63 はバスサイクル起動信号 602 に従って各バスとのインターフェイスを司るバスインターフェイス回路である。

【0032】以上のように構成された本発明の実施の形態による情報処理装置について、以下その動作を説明する。

【0033】本実施の形態の情報処理装置においては、外部メモリ 2 に対するバスマスタは CPU 4、DMA チャンネル 1、2、3 の 4 つが存在する。CPU 4 が外部メモリ 2 からデータをリードする場合には、リード信号 120 をアサートし、アドレスを CPU アドレスバス 103 に出力する。リード信号 120 がアサートされると、BCU 6 では外部メモリ 2 に対するリード動作を実行しデータをリードする。外部メモリからのリードは外部アドレスバス 100、外部データバス 101 を介して行われる。終了すると BCU 6 から応答信号 122 がアサートされ、CPU データバス 104 を介してデータが CPU へ送られリード動作

は完了する。また、CPU 4 が外部メモリ 2 にデータをライトする場合には、ライト信号 121 をアサートし、アドレスを CPU アドレスバス 103 に出力する。ライト信号 121 がアサートされると、BCU 6 では CPU データバス 104 のデータを外部メモリ 2 にライトする。外部メモリへのライトが終了すると BCU 6 から応答信号 122 がアサートされライト動作は完了する。

【0034】次に、DMA によるデータ転送動作を説明する。本情報処理装置においては、大きく 2 つの動作が存在する。1 つは、ディスクデータ線 115 を介して外部から入力されたデータに対してエラー訂正処理を実行してホスト I/F 9 を介してホストコンピュータにデータを出力するリード動作である。もう 1 つはホストコンピュータから入力されたデータに対してエラー訂正処理を実行して、ディスク I/F 7 を介して外部にデータを出力するライト動作である。さらに、リード動作の場合のデータ転送先は、ホストコンピュータだけでなく、MPEG I/F 10 を介して MPEG データ処理回路にも転送可能となっている。リード動作の場合には、

(1) DMA チャンネル 1 : ディスク I/F 7 から外部メモリ 2 へのデータ転送

(2) DMA チャンネル 2 : 外部メモリ 2 からエラー計算回路 8 へのデータ転送

(3) DMA チャンネル 3 : 外部メモリ 2 からホスト I/F 9 へのデータ転送、または外部メモリ 2 から MPEG I/F 10 へのデータ転送

が並列に動作する。また、ライト動作の場合には、

(1) DMA チャンネル 1 : 外部メモリ 2 からディスク I/F 7 へのデータ転送

(2) DMA チャンネル 2 : 外部メモリ 2 からエラー計算回路 8 へのデータ転送

(3) DMA チャンネル 3 : ホスト I/F 9 から外部メモリ 2 へのデータ転送

が並列に動作する。以下にリード動作の場合の各チャンネルの動作を簡単に説明する。

【0035】チャンネル 1 ではディスクデータ線 115 を介して外部から入力されたエラー訂正処理前のデータを、ディスク I/F 7 から外部メモリ 2 に転送する。ディスク I/F 7 に一定のデータが蓄積されると DMAC 5 に対してチャンネル 1 DMA 起動要求 108 がアサートされる。チャンネル 1 DMA 起動要求 108 がアサートされると、DMAC 5 内の DMA 起動制御回路 52 から BCU 6 に対するチャンネル 1 DMA 開始信号 105 a がアサートされる。同時にチャンネル 1 アドレスレジスタ 58 の内容が DMA アドレス 105 b として BCU 6 に出力される。BCU 6 では、調停回路 62 によってチャンネル 1 DMA が受け付けられ、まずディスク I/F 7 からのリードサイクルが起動される。ここで、ディスク I/F 7 から外部メモリ 2 への転送であることは、チャンネル 1 DMA 方向信号 105 d によって示されている。リードしたデータはディスク系 I/O

バス112を介してバスインターフェイス回路63に取り込まれる。そして、外部メモリ2へのライトサイクルが起動され外部メモリ2へのライトが行われる。ディスクI/F7からのリードサイクルが起動されると、調停回路62からはDMAC5に対してDMA応答信号105cがアサートされる。それを受けて、チャンネル1DMA開始信号105aがネゲートされるとともに、アドレス加算器59でアドレスが加算され（本実施の形態では+4）、次のDMAアドレスがアドレスレジスタ58にセットされる。また、転送回数カウンタ57では転送回数が-1されて残り転送回数が転送回数レジスタ56にセットされる。チャンネル1DMA転送では以上のような動作が繰り返され、残り転送回数501が"0"になると転送は終了する。

【0036】チャンネル2ではDMAチャンネル1でディスクI/F7から外部メモリ2に転送されたデータをエラー計算回路8に転送する。エラー計算回路8が計算可能状態になると、DMAC5に対してチャンネル2DMA起動要求109がアサートされる。チャンネル2DMA起動要求109がアサートされると、DMAC5内のDMA起動制御回路52でBCU6に対するチャンネル2DMA開始信号106aがアサートされるとともにチャンネル2DMAアドレス106bがBCU6に出力される。BCU6では、調停回路62によってチャンネル2DMAが受け付けられ、外部メモリ2からのリードサイクルが起動される。リードしたデータは外部データバス101を介してバスインターフェイス回路63に取り込まれる。そして、エラー計算回路8へのライトサイクルが起動されエラー処理系IOバス113を介してライトが行われる。

【0037】チャンネル3ではエラー訂正が終了した外部メモリ上のデータをホストI/F9に転送する。ホストI/F9で外部へデータ転送が可能になるとDMAC5に対してチャンネル3DMA起動要求110がアサートされる。チャンネル3DMA起動要求110がアサートされると、DMAC5内のDMA起動制御回路52でBCU6に対するチャンネル3DMA開始信号107aがアサートされるとともにチャンネル3DMAアドレス107bがBCU6に出力される。BCU6では、調停回路62によってチャンネル3DMAが受け付けられ、外部メモリ2からのリードサイクルが起動される。ここで、外部メモリ2からホストI/F9への転送であることは、チャンネル3DMA方向信号107dおよびチャンネル3DMAデバイス信号107eによって示されている。リードしたデータは外部データバス101を介してバスインターフェイス回路63に取り込まれる。そして、ホストI/F9へのライトサイクルが起動されホスト系IOバス114を介してライトが行われる。

【0038】以上、各チャンネルのDMA転送動作を説明したが、実際には各チャンネルは並列に動作を行う。全てのチャンネルの転送が外部メモリに関係する為に、外部メモリのアクセスをいかに無駄なく行えるかが性能を決める

ポイントとなる。

【0039】次にDMA各チャンネルの並列動作を図3に示す動作タイミング図を用いて説明する。同図は、各チャンネルの起動要求108~111、DMACとBCUとのインターフェイス信号105a~105d、106a~106c、107a~107e、ディスク系IOバス112、エラー処理系IOバス113、ホスト系IOバス114、外部データバス101の状態をマシンサイクルと呼ばれるタイミング毎に示している。信号は全てロー状態の時に信号がアサートされたことを示すアクティブロー信号であり、IOバスを介した各IO（ディスクI/F、エラー計算回路、ホストI/F）に対するアクセスはリード/ライトとともに2マシンサイクル、外部メモリに対するアクセスはリード/ライトとともに1マシンサイクルであり、時間が経過する順にタイミング毎に説明する。また、バス制御装置内にある優先順位レジスタ61には、チャンネル3、チャンネル2、チャンネル1の順番で優先順位が設定されているものとする。さらに、各チャンネルに対する起動要求108~111は1マシンサイクルだけアサートされる。

【0040】（タイミングt1）ディスクI/F7からチャンネル1起動要求108が、エラー計算回路8からチャンネル2起動要求109が、ホストI/F9からチャンネル3起動要求110がアサートされる。各起動要求を受けて、DMAC5内のDMA起動制御回路からBCU6に対してチャンネル1開始信号105a、チャンネル2開始信号106a、チャンネル3開始信号107aがアサートされる。また、各チャンネルのDMAの対象となる外部メモリ2のアドレスを示すDMAアドレス105b、106b、107bが出力される。

【0041】BCU6では、各チャンネルの開始信号がアサートされると優先順位信号601の値に従って、調停回路62で調停を行う（実際にバスサイクルが始まるのは次のサイクル）。起動要求があるバスサイクルはチャンネル1のディスクI/F7からのリード、およびチャンネル2、3の外部メモリ2からのリードである。ディスクI/F7からのリードの起動準備、チャンネル3の優先順位が高い為にチャンネル3に対する外部メモリ2からのリードの起動準備がされる。BCU6では図3において○で示すタイミングでバス調停が行われる。なお、受け付けられたDMA開始要求に該当するバスサイクルを矢印で指し示す。

【0042】（タイミングt2）ディスクI/F7からのリードサイクル（ディスクIOバス112のR（1）はチャンネル1のリード動作を示す）が開始される。チャンネル1のリードサイクルが開始されたので、チャンネル1応答信号105cがアサートされる。また、外部メモリ2からのリードサイクル（外部データバス101のR（3）はチャンネル3のリード動作を示す）が開始される。チャンネル3のリードサイクルが開始されたので、チ

ヤネル3応答信号107cがアサートされる。さらに、チャンネル3の外部メモリのアクセスは1サイクルで終了する為にホストI/F9に対するライトの起動準備、およびチャンネル2の外部メモリからのリードの起動準備がされる。

【0043】(タイミングt3) タイミングt2でチャンネル1応答信号105cおよびチャンネル3応答信号107cがアサートされたので、チャンネル1開始信号105aおよびチャンネル3開始信号107aがネゲートされるとともに、チャンネル1DMAアドレス105bおよびチャンネル3DMAアドレス107bも有効な値の出力を終了する。ディスクI/F7からのリードサイクルは2サイクルかかるために実行中である。また、チャンネル3の外部メモリからのリードが完了しているの、ホストI/F9に対するライトが開始される(ホストI/Oバス114のW(3)はチャンネル3のライト動作を示す)。さらに、チャンネル2に対する外部メモリ2からのリードサイクルが開始され、チャンネル1応答信号106cがアサートされる。チャンネル2の外部メモリからのリードが完了する為にエラー計算回路8に対するライトの起動準備、チャンネル1のディスクI/F7からのリードが完了する為にチャンネル1の外部メモリへのライトの起動準備がされる。

【0044】(タイミングt4) ディスクI/F7からチャンネル1起動要求108が、ホストI/F9からチャンネル3起動要求110がアサートされる。各起動要求を受けて、DMAC5内のDMA起動制御回路からBCU6に対してチャンネル1開始信号105a、チャンネル3開始信号107aがアサートされる。また、各チャンネルのDMAの対象となる外部メモリ2のアドレスを示すDMAアドレス105b、107bが出力される。一方、タイミングt3でチャンネル2応答信号106cがアサートされたので、チャンネル2開始信号106aがネゲートされるとともに、チャンネル2アドレス106bは有効な値の出力を終了する。

【0045】BCU6では、チャンネル開始信号がアサートされたので、チャンネル1のディスクI/F7からのリードの起動準備、チャンネル3の外部メモリ2からのリードの起動準備がされる。また、エラー計算回路8に対するライトサイクル、チャンネル1の外部メモリへのライトサイクルが実行される。

【0046】(タイミングt5) エラー計算回路8からチャンネル2起動要求109がアサートされ、BCU6に対してチャンネル2開始信号106aがアサートされるとともにDMAアドレス106bが出力される。ディスクI/F7からのリードサイクルが開始され、チャンネル1応答信号105cがアサートされる。また、外部メモリ2からのリードサイクルが開始され、チャンネル3応答信号107cがアサートされる。さらに、チャンネル3の外部メモリのアクセスは1サイクルで終了する為にホストI/

F9に対するライトの起動準備、およびチャンネル2の外部メモリからのリードの起動準備がされる。

【0047】(タイミングt6~t11) タイミングt3~t5の繰り返しになるので、記載を省略する。

【0048】以上説明したように本実施の形態における情報処理装置では、外部メモリ2のバスサイクルに空きが生じることなく各チャンネルのDMA転送が並列して高速に実行される。例えば、従来の情報処理装置では図6に示すように8マシンサイクルごとに3チャンネルのDMAが実行されていくのに対して、本実施の形態における情報処理装置では図3に示すよう3マシンサイクルごとに実行されていく。

【0049】次に、ホストI/F9に代わってMPEG I/F10から外部にデータを出力する場合の動作を図4の動作タイミング図に示す。MPEG I/F10から外部にデータを出力する場合には、データ出力の速度がホストI/F9から出力する場合に比べて遅い為に、図3に示したようにホストI/F9からの起動要求110は3マシンサイクルごとにアサートされるのに対して、MPEG I/F10からの起動要求111は6マシンサイクルごとにアサートされる。そして、I/Oバスを介したMPEG I/F10に対するアクセスはリード/ライトとともに4マシンサイクルで実行される。なお、その他の条件は図3の場合と同様である。

【0050】(タイミングt1) ディスクI/F7からチャンネル1起動要求108が、エラー計算回路8からチャンネル2起動要求109が、MPEG I/F10からチャンネル3起動要求111がアサートされる。各起動要求を受けて、DMAC5内のDMA起動制御回路からBCU6に対してチャンネル1開始信号105a、チャンネル2開始信号106a、チャンネル3開始信号107aがアサートされる。また、各チャンネルのDMAの対象となる外部メモリ2のアドレスを示すDMAアドレス105b、106b、107bが出力される。

【0051】BCU6では、各チャンネルの開始信号がアサートされると優先順位信号601の値に従って、調停回路62で調停を行う(実際にバスサイクルが始まるのは次のサイクル)。起動要求があるバスサイクルはチャンネル1のディスクI/F7からのリード、およびチャンネル2、3の外部メモリ2からのリードである。ディスクI/F7からのリードの起動準備、チャンネル3の優先順位が高い為にチャンネル3に対する外部メモリ2からのリードの起動準備がされる。

【0052】(タイミングt2) ディスクI/F7からのリードサイクル(ディスクI/Oバス112のR(1)はチャンネル1のリード動作を示す)が開始される。チャンネル1のリードサイクルが開始されたので、チャンネル1応答信号105cがアサートされる。また、外部メモリ2からのリードサイクル(外部データバス101のR(3)はチャンネル3のリード動作を示す)が開始され

る。チャンネル3のリードサイクルが開始されたので、チャンネル3応答信号107cがアサートされる。さらに、チャンネル3の外部メモリのアクセスは1サイクルで終了する為にMPEG I/F10に対するライトの起動準備、およびチャンネル2の外部メモリからのリードの起動準備がされる。

【0053】(タイミングt3) タイミングt2でチャンネル1応答信号105cおよびチャンネル3応答信号107cがアサートされたので、チャンネル1開始信号105aおよびチャンネル3開始信号107aがネゲートされるとともに、チャンネル1DMAアドレス105bおよびチャンネル3DMAアドレス107bも有効な値の出力を終了する。ディスクI/F7からのリードサイクルは2サイクルかかるために実行中である。また、チャンネル3の外部メモリからのリードが完了しているので、MPEG I/F10に対するライトが開始される(ホストIOバス114のW(3)はチャンネル3のライト動作を示す)。さらに、チャンネル2に対する外部メモリ2からのリードサイクルが開始され、チャンネル2応答信号106cがアサートされるとともに、エラー計算回路8に対するライトの起動準備、チャンネル1の外部メモリ2へのライトの起動準備がされる。

【0054】(タイミングt4) ディスクI/F7からチャンネル1起動要求108がアサートされ、DMAC5内のDMA起動制御回路からBCU6に対してチャンネル1開始信号105aがアサートされる。また、チャンネル1のDMAの対象となる外部メモリ2のアドレスを示すDMAアドレス105bが出力される。一方、タイミングt3でチャンネル2応答信号106cがアサートされたので、チャンネル2開始信号106aがネゲートされるとともに、チャンネル2DMAアドレス106bは有効な値の出力を終了する。

【0055】BCU6では、チャンネル開始信号がアサートされたので、チャンネル1のディスクI/F7からのリードの起動準備がされる。また、エラー計算回路8に対するライトサイクル、チャンネル1の外部メモリへのライトサイクルが実行される。MPEG I/F10に対するライトは実行中である。

【0056】(タイミングt5) エラー計算回路8からチャンネル2起動要求109がアサートされ、BCU6に対してチャンネル2開始信号106aがアサートされるとともにDMAアドレス106bが出力される。ディスクI/F7からのリードサイクルが開始され、チャンネル1応答信号105cがアサートされる。また、チャンネル2の外部メモリからのリードの起動準備がされる。MPEG I/F10に対するライトは実行中である。

【0057】(タイミングt6) タイミングt5でチャンネル1応答信号105cがアサートされたので、チャンネル1開始信号105aがネゲートされるとともに、チャンネル1DMAアドレス105bは有効な値の出力を終了す

る。ディスクI/F7からのリードサイクルは2サイクルかかるために実行中である。さらに、チャンネル2に対する外部メモリ2からのリードサイクルが開始され、チャンネル2応答信号106cがアサートされる。また、エラー計算回路8に対するライトの起動準備、チャンネル1の外部メモリへのライトの起動準備がされる。MPEG I/F10に対するライトはこのサイクルで終了する。

【0058】(タイミングt7) ディスクI/F7からチャンネル1起動要求108がアサートされ、DMAC5内のDMA起動制御回路からBCU6に対してチャンネル1開始信号105aがアサートされる。また、チャンネル1のDMAの対象となる外部メモリ2のアドレスを示すDMAアドレス105bが出力される。一方、タイミングt6でチャンネル2応答信号106cがアサートされたので、チャンネル2開始信号106aがネゲートされるとともに、チャンネル2アドレス106bは有効な値の出力を終了する。

【0059】MPEG I/F10からチャンネル3起動要求111がアサートされ、チャンネル3開始信号107aがアサートされる。

【0060】BCU6では、チャンネル3開始信号107aがアサートされたので、チャンネル3の外部メモリ2からのリードの起動準備がされる。また、エラー計算回路8に対するライトサイクル、チャンネル1の外部メモリへのライトサイクルが実行される。

【0061】(タイミングt8) エラー計算回路8からチャンネル2起動要求109がアサートされ、BCU6に対してチャンネル2開始信号106aがアサートされるとともにDMAアドレス106bが出力される。ディスクI/F7からのリードサイクルが開始され、チャンネル1応答信号105cがアサートされる。また、チャンネル3の外部メモリからのリードが開始される。

【0062】(タイミングt9~t11) タイミングt3~t5の繰り返しになるので、記載を省略する。

【0063】以上説明したように本実施の形態における情報処理装置では、MPEG I/F10からの起動要求111は6マシンサイクルごとにアサートされる為に、MPEG I/F10に対するアクセスが4サイクルかかって、チャンネル1および2の動作タイミングは図3で説明した場合と全く同じタイミングで実行され、各チャンネルのDMA転送が並列して実行される。そして、MPEG I/F10に対するアクセスは4マシンサイクルかけて行う為に、ホストI/F9に転送する場合に比べて低消費電力化が実現できる。このように、DMA起動の頻度によってアクセスサイクル数を調節することにより、低消費電力化が実現できる。

【0064】以上のように本発明の実施の形態によれば、DMACからバス制御装置にチャンネルごとに独立して転送開始要求を出力し、バス制御装置でチャンネル間の調停を行うとともに、チャンネルごとに独立したバスを設けることによりDMA転送が並列して高速に実行される。従っ

て、情報処理装置の性能を高めることが可能となる。

【0065】なお本発明の実施の形態では、外部メモリ2を有する構成を示したが、情報処理装置内にSRAMあるいはDRAMといったメモリを内蔵する構成にしてもよい。

【0066】また本発明の実施の形態では、外部メモリ2と内部のI/Oバスのバス幅が同じ場合を示したが、バス幅が異なる場合には、バス制御装置6内のデータの並び替えを行う手段を設け、バス幅の小さい側のアクセスを複数回実行するようにしてもよい。

【0067】また本発明の実施の形態では、DMAチャネルを完全に独立化してバス制御装置6に対してDMA開始要求を出力し、チャネル間の調停は全てバス制御装置内で行っているが、全チャネルのうちの数チャネルをまとめて一つにして、バス制御装置6にDMA転送要求を出力する構成にして、まとめたチャネル間の調停のみDMAC5内で実行するようにしてもよい。

【0068】

【発明の効果】以上説明したように本発明によれば、複数のチャネルのDMA要求が並列して発生した場合にも高速にデータ転送を行うことができるとともに、外部メモリの性能を十分に引き出すことができるという有利な効果が得られる。

【図面の簡単な説明】

【図1】本発明の一実施の形態における情報処理装置のブロック図

【図2】同実施の形態によるDMAコントローラおよびバス制御装置のブロック図

【図3】同実施の形態における情報処理装置の動作タイミング図

【図4】同実施の形態における情報処理装置の動作タイミング図

【図5】同従来の情報処理装置のブロック図

【図6】同従来の情報処理装置の動作タイミング図

【符号の説明】

1 情報処理装置

2 外部メモリ

3 ROM

4 CPU

5 DMAコントローラ

6 バス制御装置

7 ディスクI/F

8 エラー計算回路

9 ホストI/F

10 MPEG I/F

11 外部メモリ

12 ROM

100 外部アドレスバス

101 外部データバス

102 命令バス

103 CPUアドレスバス

104 CPUデータバス

105 a、106 a、107 a DMA開始信号

105 b、106 b、107 b DMAアドレス

105 c、106 c、107 c DMA応答信号

105 d、107 d DMA方向信号

107 e DMAデバイス信号

108 チャネル1 DMA起動要求

109 チャネル2 DMA起動要求

110 チャネル3 ホストDMA起動要求

111 チャネル3 MPEG DMA起動要求

112 ディスク系I/Oバス

113 エラー処理系I/Oバス

114 ホスト系I/Oバス

115 ディスクデータ線

116 ホストデータ線

117 MPEGデータ線

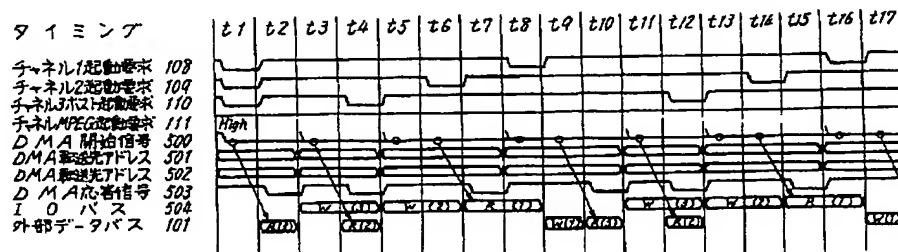
120 リード信号

121 ライト信号

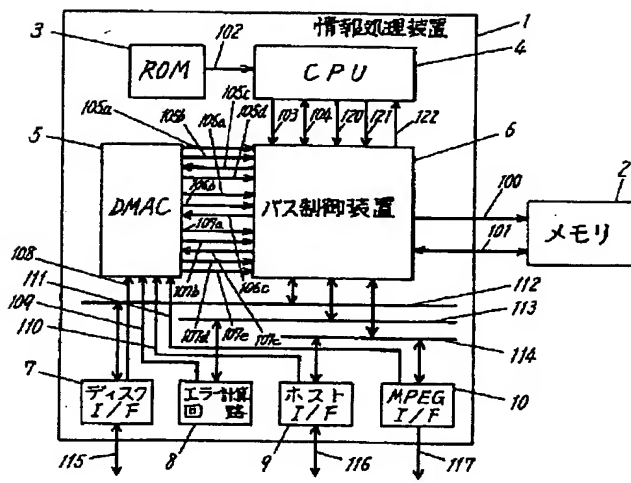
122 応答信号

123 外部応答信号

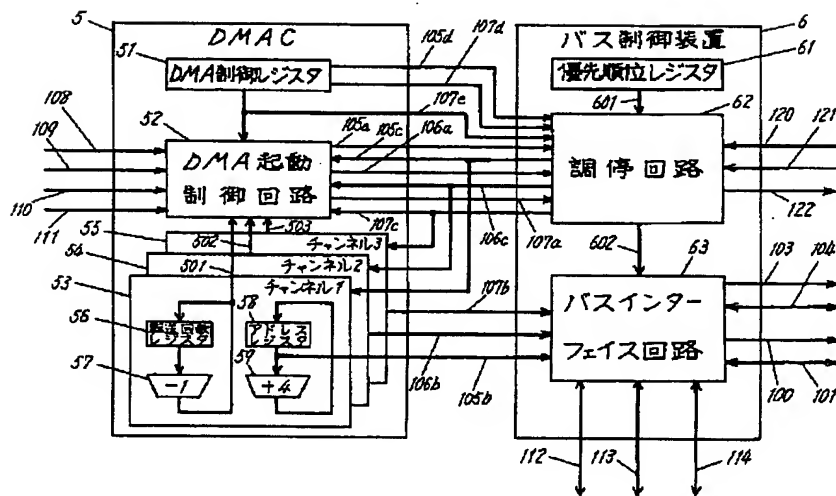
【図6】



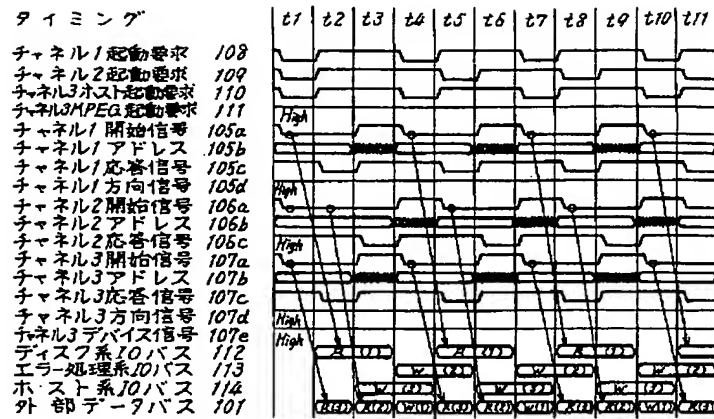
【図 1】



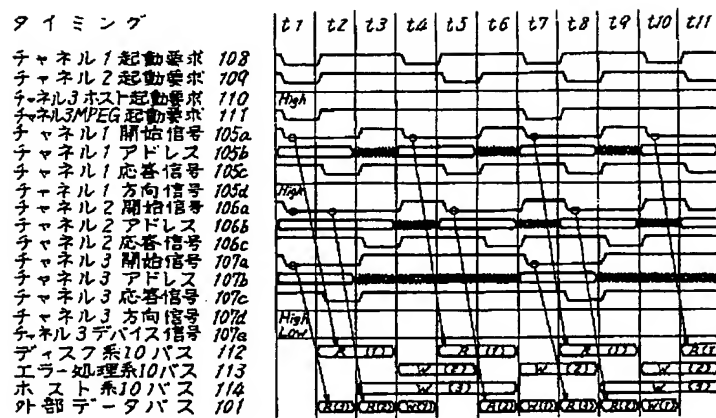
【図 2】



【図3】



【図4】



【図5】

